

# KOMISIJI ZA STUDIJE II STEPENA ELEKTROTEHNIČKOG FAKULTETA U BEOGRADU

Komisija za studije II stepena, Elektrotehničkog fakulteta u Beogradu, na svojoj sednici održanoj 02.06.2015. godine imenovala nas je u Komisiju za pregled i ocenu master rada dipl. inž. Jednak Saše pod naslovom „Verifikacija HDL dizajna primenom metodologije direktnih testova“. Nakon pregleda materijala Komisija podnosi sledeći

## IZVEŠTAJ

### 1. Biografski podaci o kandidatu

Jednak Saša je rođen 03.01.1991. u Zagrebu. Završio je Elektro-tehničku školu Mihajlo Pupin sa prosečnom ocenom 5.00. Elektrotehnički fakultet u Beogradu, odsek Elektronika, je upisao 2009. godine. Diplomirao je 2013. godine sa prosečnom ocenom na ispitima 8.58, na diplomskom 10. Master studije na Elektrotehničkom fakultetu u Beogradu je upisao je 2013. godine na odseku za Elektroniku. Položio je sve ispite sa prosečnom ocenom 7.80.

### 2. Opis master rada

Master rad kandidata sadrži 63 strane. Rad sadrži šest poglavlja, dodatak i spisak literature sa 13 referenci.

Prvo poglavlje predstavlja uvod u kome su opisani predmet i cilj rada.

U drugom poglavlju je dat pregled metodologija za verifikaciju digitalnih sistema koje se trenutno koriste. Prvo je opisana metodologija koja koristi direktne testove - *Testbench*, koji su opisani u nekom od jezika za opis hardvera (VHDL, Verilog...). Zatim su opisane metodologije sa slučajnim testovima, kao što su eRM i UVM metodologije, koje koriste programske jezike namenjene za verifikaciju savremenih digitalnih sistema - *e* jezik i *System Verilog*.

Treće poglavlje sadrži detaljan opis Generičkog *Testbench*-a (GTB), alata u čijem razvoju je učestvovao i autor master rada. Ovaj alat koristi direktne testove za verifikaciju i VHDL za opis hardvera, a omogućava brže i jednostavnije testiranje složenih modula u odnosu na klasičan pristup direktnih testova. Detaljno su opisani osnovni delovi GTB alata: emulatori, parser, pseudo jezik i testovi. Opisan je proces kojim se od napisanog testa dolazi do početka simulacije, kao i raspored direktorijuma koji je bitan za pravilno funkcionisanje alata uz minimalna podešavanja verifikacionog okruženja.

U četvrtom poglavlju je ukratko opisan IEMAC modul koji je razvijen u firmi Elsys Eastern Europe i korišćen je za prikazivanje mogućnosti verifikacije upotrebom GTB alata. Pored specifikacija modula, za potrebe verifikacije je bio raspoloživ VHDL kod tog modula.

U petom poglavlju su detaljno opisani koraci tokom verifikacije IEMAC modula korišćenjem GTB alata. Opisan je način na koji se čitaju specifikacije sistema, planira izrada potrebnih emulatora i testova za verifikaciju. Nakon toga su opisani razvijeni emulatori i testovi. Na kraju su prikazani rezultati tih testova dobijeni u simulacijama (Modelsim 10.0a).

U šestom poglavlju je dat zaključak. Prikazana je kratka analiza rezultata.

Na kraju rada su dati kodovi pisanih testova i izveštaji dobijeni iz simulacija.

### 3. Analiza rada sa ključnim rezultatima

Master rad dipl. inž. Saše Jednaka se bavi problematikom verifikacije savremenih digitalnih sistema srednje i veće kompleksnosti korišćenjem metodologije direktnih testova. Pored klasičnog pristupa, koji podrazumeva pisanje pojedinačnih *testbench* fajlova za verifikaciju ponašanja sistema, u radu je detaljno opisan Generički Testbench - GTB. To je alat u čijem razvoju je, kao deo tima firme Elsys Eastern Europe, učestvovao i kandidat. GTB alat koristi emulatore kao osnovu za komunikaciju sa DUT-om (*Design Under Test*), pri čemu su emulatori napisani u istom HDL jeziku kao i DUT. Za pisanje testova se koristi jednostavan i intuitivan pseudojezik. Kompletan postupak verifikacije je prikazan na primeru posebno razvijenog IEMAC modula čiji kod je bio realizovan u VHDL-u. Analizom dobijenih rezultata su istaknute prednosti korišćenja Generičkog Testbench-a u odnosu na uobičajen pristup verifikacije metodologijom direktnih testova.

Najvažniji doprinos rada je opis metodologije direktnih testova za brzu verifikaciju digitalnih sistema korišćenjem novog GTB alata. Prednosti ove metodologije su prikazane na primeru verifikacije IEMAC modula, kako u pogledu vremenske uštede pri planiranju testova, tako i u pogledu trajanja samog postupka verifikacije, a da pri tom nije smanjena efikasnost verifikacije. Pri tom je kandidat u VHDL-u opisao emulatore za AHB\_lite, APB i MII interfejse, emulator za GPIO i emulator za aritmetičko-logičke operacije, kao i testove u odgovarajućem pseudojeziku.

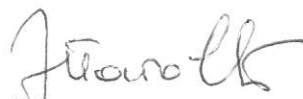
### 4. Zaključak i predlog

Kandidat Saša Jednak je prikazao kompletan postupak verifikacije korišćenjem novog GTB alata koji podržava metodologiju direktnih testova, u čijem razvoju je učestvovao kao deo tima. Samostalno je razvio emulatore i testove za verifikaciju IEMAC modula, pri čemu pojedini od tih blokova mogu naći primenu tokom verifikacije drugih digitalnih sistema.

Na osnovu gore navedenog komisija predlaže Nastavno-naučnom veću Elektrotehničkog fakulteta u Beogradu da prihvati rad "Verifikacija HDL dizajna primenom metodologije direktnih testova" dipl. inž. Saše Jednaka kao master rad i odobri javnu i usmenu odbranu.

U Beogradu, 04.09.2015.

Članovi komisije:

  
dr Jelena Popović-Božović, doc.

  
dr Radivoje Đurić, doc.