

# KOMISIJI ZA STUDIJE II STEPENA ELEKTROTEHNIČKOG FAKULTETA U BEOGRADU

Komisija za studije II stepena, Elektrotehničkog fakulteta u Beogradu, na svojoj sednici održanoj 18.03.2014. godine imenovala nas je u Komisiju za pregled i ocenu master rada dipl. inž. Žarka Aćimovića pod naslovom „Implementacija pametnog kontrolera brzine ventilatora korišćenjem PSoC 5LP čipa“. Nakon pregleda materijala Komisija podnosi sledeći

## IZVEŠTAJ

### 1. Biografski podaci o kandidatu

Žarko Aćimović je rođen 22. februara 1986. godine u Kraljevu. Srednju školu „Gimnazija Kraljevo“ je završio sa prosekom 4.25. Elektrotehnički fakultet u Beogradu upisao je 2005. godine, odsek Elektronika. Diplomirao je u martu 2012. godine sa prosečnom ocenom na ispitima 7.89, na diplomskom 9. Master studije na Elektrotehničkom fakultetu u Beogradu je upisao 2012. godine na odseku za Elektroniku. Položio je sve ispite sa prosečnom ocenom 9.40.

### 2. Opis master rada

Master rad kandidata sadrži 112 strana. Rad sadrži osam poglavlja i spisak literature sa 10 referenci.

Prvo poglavlje predstavlja uvod u kome su opisani predmet i cilj rada.

U drugom poglavlju je opisana arhitektura *PSoC 5LP* familije čipova kompanije *Cypress*. Date su osnovne karakteristike te familije i opisani blokovi opšte namene: 32-bitni *ARM Cortex-M3*, memorije, sistem za distribuciju takta, sistem za distribuciju napajanja, blok za kontrolu reseta, ulazno/izlazni blokovi i interfejs za programiranje i debugovanje čipa.

U trećem poglavlju je opisana arhitektura programabilnih blokova u okviru *PSoC 5LP* čipa. Prvo je opisan digitalni programabilni podsistem. Prikazana je struktura univerzalnog digitalnog bloka koji se sastoji od kombinacije programabilne opštenamenske logike (*PLD*) i strukturne logike (*Datapath*). Zatim je opisana fleksibilna šema za rutiranje sa *DSI* interfejsom. Opisane su i periferije: tajmer/brojač/*PWM* generator, blok za digitalno filtriranje i razne vrste interfejsa (*USB*, *I<sup>2</sup>C*, *CAN*). U drugom delu je opisan analogni programabilni podsistem koji uključuje *A/D* i *D/A* konvertore, komparatore, operacione pojačavače opšte namene, *SC/CT* (*Switched Capacitor/Continuous Time*) blokove, kao i *LCD* drajver, sistem za detekciju dodira i temperaturni senzor.

U četvrtom poglavlju su prvo prikazani osnovni resursi razvojne ploče *CY8CKIT-050 PSoC 5LP* koja je korišćena tokom izrade ovog master rada. Zatim je ukratko opisan razvojni alat *PSoC Creator* i dato uputstvo za povezivanje razvojne ploče.

U petom poglavlju je detaljno opisan postupak projektovanja i implementacije korisničke komponente unutar programabilnog digitalnog bloka na primeru 8-bitnog generatora *PWM* signala. Prvo je opisan postupak generisanja 8-bitnog brojača na dole, koji je modifikovan u *PWM* generator. Zatim je opisan postupak dodavanja parametara koji omogućavaju korisniku da rekonfiguriše komponentu bez promene *Verilog* koda. Na kraju je prikazan postupak dodavanja *API* funkcija za generisanu komponentu.

Šesto poglavlje sadrži opis implementacije kontrolera brzine ventilatora sa automatskim i ručnim upravljanjem, korišćenjem čipa iz familije *PSoC 5LP*. Prvo je sistem funkcionalno opisan, data je blok šema i opisan standard za povezivanje i upravljanje ventilatorom. Zatim je detaljno opisano projektovanje hardvera u *PSoC Creator*-u, dat je pregled korišćenih resursa čipa i podešavanja kojima je ostvarena rekonfigurabilnost sistema. Na kraju poglavlja je opisano projektovanje pratećeg softvera, dat je algoritam programa i opis funkcionalnih delova koda (*firmware*-a pisanog u C-u).

U sedmom poglavlju su prikazani rezultati simulacija i testiranja realizovanog sistema, sa primerima automatskog i ručnog upravljanja kontrolerom, kao i prelazima između tih režima. Na kraju su dati podaci o zauzeću resursa čipa i procena potrošnje sistema.

U osmom poglavlju je dat zaključak.

### 3. Analiza rada sa ključnim rezultatima

Master rad dipl. inž. Žarka Aćimovića se bavi implementacijom pametnog kontrolera brzine ventilatora na razvojnoj ploči sa čipom iz familije *PSoC 5LP*, kompanije *Cypress*. Dat je detaljan opis arhitekture čipa iz familije *PSoC 5LP*, sa posebnim osvrtom na programabilni digitalni i analogni podsistem, kao i opis razvojne ploče i alata koji su korišćeni. Opisana je realizacija hardverskog dela sistema u kojoj su iskorišćene mogućnosti rekonfiguracije podržane u *PSoC 5LP* familiji čipova. Pritiskom na odgovarajući taster na ploči bira se režim automatskog ili ručnog upravljanja kontrolerom, pri čemu dolazi do promene rezolucije korišćenog AD konvertora i promene perioda PWM bloka, odnosno do rekonfigurisanja sistema. Takođe je opisano projektovanje pratećeg softvera kojim je korisniku omogućeno da jednostavno rekonfiguriše delove sistema.

Najvažniji doprinos rada čini uspešna implementacija pametnog kontrolera brzine ventilatora, sa ručnim i automatskim upravljanjem, čime je demonstrirana osobina rekonfigurabilnosti *PSoC 5LP* čipa.

### 4. Zaključak i predlog

Kandidat Žarko Aćimović je u svom master radu uspešno implementirao i testirao pametni kontroler brzine ventilatora korišćenjem *PSoC 5LP* čipa. Rekonfigurabilnost projektovanog sistema, koja se ogleda u izboru ručne ili automatske kontrole brzine ventilatora, omogućava efikasnije hladjenje ciljnog uređaja.

Na osnovu gore navedenog Komisija predlaže Nastavno-naučnom veću Elektrotehničkog fakulteta u Beogradu da prihvati rad „Implementacija pametnog kontrolera brzine ventilatora korišćenjem *PSoC 5LP* čipa“ dipl. inž. Žarka Aćimovića kao master rad i odobri javnu usmenu odbranu.

U Beogradu, 1.09.2014.

Članovi komisije:

dr Jelena Popović-Božović, doc.

dr Vujo Drndarević, prof.