



# УНИВЕРЗИТЕТ У БЕОГРАДУ - ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ

Булевар краља Александра 73, 11000 Београд, Србија

Тел. 011/324-8464, Факс: 011/324-8681

## КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 15.9.2017. године именовало нас је у Комисију за преглед и оцену мастер рада дипл. инж. Михаила Ивановића под насловом „Симулатор за функционалну верификацију I<sup>2</sup>C протокола“. Након прегледа материјала Комисија подноси следећи

### ИЗВЕШТАЈ

#### 1. Биографски подаци кандидата

Михаило Ивановић је рођен 09.05.1988. године у Чачку. Основну школу Вук Караџић завршио је 2003. године и то као ђак генерације. Након тога уписао је Гимназију у Чачку и коју је завршио као вуковац. Електротехнички факултет у Београду уписао је 2007. године. Дипломирао је на модулу за Рачунарску технику и информатику 2014. године са просечном оценом 7,53. Дипломски рад одбранио је са оценом 10. Мастер академске студије на Електротехничком факултету у Београду, на модулу за Рачунарску технику и информатику, уписао је у октобру 2014. године.

#### 2. Опис мастер рада

Мастер рад обухвата 54 страна, са укупно 33 слике, 2 табеле и 9 референци. Рад садржи увод, 6 поглавља и закључак (укупно 8 поглавља) и списак коришћене литературе.

Прво поглавље представља увод у коме су описани предмет и циљ рада.

У другом поглављу укратко је описан процес развоја хардвера са посебним акцентом на фазу верификације. Фаза верификације је детаљно објашњена да би се показао њен значај у целокупном процесу.

У трећем поглављу дат је приказ *System Verilog* језика и *UVM (Universal Verification Methodology)* методологије, описане су опште карактеристике самог језика као и неке специфичности који га чине погодним за индустрију. У овом поглављу поред предности самог језика предочене су најзначајније предности методологије.

У четвртм поглављу детаљно је описан I<sup>2</sup>C протокол и у складу са тим описом је пројектовано верификационо окружење. Поред основних карактеристика протокола ово поглавље покрива и детаљне примере свих врста трансфера података преко I<sup>2</sup>C протокола.

Петом поглавље посвећено је опису рада реализованог решења, са посебним освртом на начине коришћења симулатора као и на поређење реализованог решења са јавно доступним решењем. У петом поглављу приказано је и додатно решење симулатора за рад са регистарским моделима које је додато како би се потенцијалним корисницима олакшао рад. На самом крају поглавља је објашњена конфигурација симулатора и на који начин се сам симулатор може подесити за потребну улогу у окружењу.

Шестом поглавље садржи приказ најзначајнијих делова програмског кода и објашњење истог. Детаљно је објашњена улога сваке класе у решењу као и имплементација функција сваке класе. У поглављу су још приказани алати који се користе у процесу верификације.

У седмом поглављу представљени су резултати коришћења датог симулатора, који су добијени коришћењем доступних алата. Објашњено је како су ти резултати прикупљени и како се појединим подешавањима симулатора могу значајно мењати његове перформансе.

Осмо поглавље представља закључак мастер рада. У закључку је сумирано целокупно решење, са критичким освртом шта је у раду урађено и анализирано је како би евентуално решење могло да се надогради у будућности.

### 3. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Михаило Ивановић се бави проблематиком пројектовања симулатора верификационог окружења за потребе функционалног верификовања уређаја који користе I<sup>2</sup>C протокол. Симулатор је пројектован *System Verilog* језику у складу са *UVM* методологијом. Пројектован симулатор испуњава све захтеве за верификацију уређаја који користе I<sup>2</sup>C протокол.

### 4. Закључак и предлог

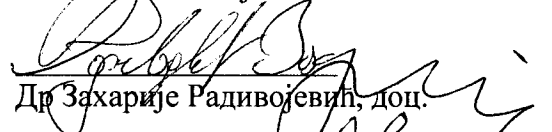
Кандидат Михаило Ивановић је у свом мастер раду успешно решио проблем пројектовања симулатора верификационог окружења за потребе функционалног верификовања уређаја који користе I<sup>2</sup>C протокол. Коришћењем овог симулатора могуће је успешно верификовати компоненте које користе I<sup>2</sup>C протокол, које потом могу ући у серијску производњу. Поређењем реализованог решења са јавно доступним решењем показано је да је дато решење у готово свим аспектима постиже боље резултате.

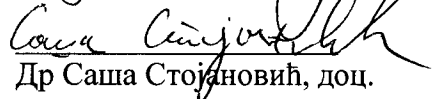
Кандидат је исказао самосталност и систематичност у своме поступку као и иновативне елементе у решавању проблематике овог рада.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Михаило Ивановић прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 15.9.2017. године

Чланови комисије:

  
Др Зехарије Радивојевић, доц.

  
Др Саша Стојановић, доц.