

НАСТАВНО-НАУЧНОМ ВЕЋУ

Предмет: Реферат о урађеној докторској дисертацији кандидата дипл. инж. електротехнике Срђана Бркића.

Одлуком Наставно-научног већа Електротехничког факултета у Београду бр. 5005/10-3 донетој на 801. седници одржаној 05.07.2016. године, именовани смо за чланове Комисије за преглед, оцену и одбрану докторске дисертације кандидата Срђана Бркића под насловом

Декодовање кодова са малом густином провера парности у присуству грешака у логичким колима

После прегледа достављене Дисертације и других пратећих материјала, као и разговора са кандидатом, Комисија је сачинила следећи

РЕФЕРАТ

1. УВОД

1.1. Хронологија одобравања и израде дисертације

Срђан Бркић је школске 2010/2011 уписао докторске студије на Електротехничком факултету у Београду, на модулу Телекомуникације. Током студија положио је све испите са просечном оценом 10 и одрадио све обавезе везане за студијски истраживачки рад.

Кандидат је тему под насловом „*Декодовање кодова са малом густином провера парности у присуству грешака у логичким колима*“ пријавио 30.06.2015. године. Наставно-научно веће Електротехничког факултета Универзитета у Београду је на 788. седници одржаној 10.07.2015. године именovalo Комисију за оцену услова и прихватање теме докторске дисертације у саставу: др Предраг Иваниш, ванредни професор (Универзитет у Београду – Електротехнички факултет), др Александра Смиљанић, редовни професор (Универзитет у Београду – Електротехнички факултет), др Горан Ђорђевић, ванредни професор (Универзитет у Нишу – Електронски факултет), др Лазар Сарановац, ванредни професор (Универзитет у Београду – Електротехнички факултет).

Извештај комисије за оцену услова и прихватање теме докторске дисертације је усвојен на 792. седници Наставно-научног већа Електротехничког факултета одржаној 20.10.2015. године. Веће научних области техничких наука дало је сагласност на предложену тему докторске дисертације на седници одржаној 23.11.2015. године.

Кандидат је урађену дисертацију поднео на преглед и оцену 23.06.2016. године, а Наставно-научно веће Електротехничког факултета је на 801. седници одржаној 05.07.2016. године именovalo Комисију за преглед и оцену докторске дисертације у саставу: др Предраг Иваниш, ванредни професор (Универзитет у Београду – Електротехнички факултет), др Александра Смиљанић, редовни професор (Универзитет у Београду –

Електротехнички факултет), др Бане Васић, редовни професор (The University of Arizona – Department of ECE), др Горан Ђорђевић, ванредни професор (Универзитет у Нишу – Електронски факултет), др Лазар Сарановац, ванредни професор (Универзитет у Београду – Електротехнички факултет).

1.2. Научна област дисертације

Дисертација припада научној области Техничких наука - електротехнике, а ужег смислу научној области Телекомуникације. За ове области матичан је Електротехнички факултет. Ментор дисертације је др Предраг Н. Иваниш, ванредни професор на Електротехничком факултету Универзитета у Београду због значајних научних доприноса у области теме докторске дисертације, посебно у области теорије информација и теорије заштитних кодова у телекомуникацијама.

1.3. Биографски подаци о кандидату

Срђан Бркић рођен је 02.01.1987. године у Фочи, Босна и Херцеговина. Основну школу и гимназију завршио је у Пљевљима, Црна Гора, са одличним успехом. Електротехнички факултет у Београду уписао је школске 2005/06. године. Дипломирао је на Одсеку за телекомуникације 2009. године, са просечном оценом 9,04. Дипломски рад под насловом “Симулациона анализа кодова за цикличну проверу редундансе”, одбранио је са оценом 10. Ментор дипломског рада био је др Предраг Иваниш. Мастер академске студије на истом факултету уписао је школске 2009/10 године и завршио их 2010. године са просечном оценом 9,83. Мастер рад под називом “Процена перформанси хибридних техника за ретрансмисију пакета комбинованих са UMTS турбо кодом у присуству Накагами-м фединга” одбранио је са оценом 10. Ментор мастер рада био је др Предраг Иваниш. Докторске академске студије уписао је школске 2010/2011. године на Електротехничком факултету у Београду, на модулу Телекомуникације, где је положио све испите са највишом оценом и урадио све обавезе предвиђене планом и програмом докторских студија.

Од фебруара 2011. године до марта 2016. године био је запослен у Иновационом центру Електротехничког факултета у Београду. Од априла 2016. године запослен је на Електротехничком факултету у Београду, као истраживач сарадник, где је ангажован у извођењу лабораторијских вежби из више предмета. Учествовао је на два научно-истраживачка пројекта и то пројекта Министарства за просвету, науку и технолошки развој Републике Србије под називом „Напредне технике ефикасног коришћења спектра у бежичним системима” (евиденциони број TR32028, руководилац пројекта др Предраг Иваниш, Електротехнички факултет у Београду) као и међународног FP7 пројекта „*Innovative Reliable Chip Designs from Low-Powered Unreliable Components*” (*Seventh Framework Programme of the European Union, under Grant Agreement number 309129*, руководилац пројекта *Valentin Savin, Commissariat à l’Energie Atomique et aux Energies Alternatives, Гренобл, Француска*).

Кандидат Срђан Бркић је током досадашњег научно-истраживачког рада објавио два рада у истакнутим часописима међународног значаја, категорије M22, на којима је први аутор, као и један рад међународног значаја, категорије M23. Такође, истраживачки рад кандидата презентован је и на три конференције по позиву, категорија M31, већем броју конференција међународног и националног значаја, а публикован је и у часописима националног значаја.

Радио је рецензију радова за најзначајнију конференцију из области теорије информација *International Symposium on Information Theory*. Добитник је неколико награда за радове приказане на међународним и националним скуповима, међу којима су и награда „Илија Стојановић“ коју додељује Фондација *Telenor* за најбољи студентски рад презентован на

конференцији *TELFOR 2009*, као и награду за најбољи рад младог аутора у области Телекомуникација презентованог на конференцији *ETRAN 2012*.

2. ОПИС ДИСЕРТАЦИЈЕ

2.1. Садржај дисертације

Дисертација је написана на 155 страна куцаног текста и садржи 55 слика, 7 табела и 157 библиографских референци. Дисертација садржи насловну страну, кратак резиме на српском и енглеском језику, садржај, 8 поглавља и списак коришћене литературе. Наслови поглавља докторске дисертације су:

1. Увод,
2. Непоузданост логичких кола,
3. Основе кодова са малом густином провера парности,
4. *Bit-flipping* декодовање непоузданим логичким колима,
5. *Gallager B* декодовање непоузданим логичким колима,
6. Итеративни декодер на бази агрегације порука,
7. Меморије базиране на LDPC кодовима,
8. Генерални закључак и предлог будућих истраживања.

2.2. Кратак приказ појединачних поглавља

У уводној глави дисертације изложени су основни проблеми поузданог преноса и складиштења информација. Апострофирани су правци истраживања присутни у литератури, као и основна мотивација за израду дисертације. Посебно су представљени кодови са малом густином провера парности (енг. *Low-Density Parity-Check, LDPC*), чији значај за конструкцију поузданих електронских система од непоузданих компоненти је посебно наглашен. На крају уводног поглавља дат је преглед структуре и доприноса дисертације.

У другој глави дисертације дат је преглед извора као и типова отказа електронских уређаја, са посебним освртом на отказе који настају као последица смањења напона напајања уређаја. Посебан значај који имају енергетски ефикасни електронски чипови разлог је доминантног истраживања поузданости система при овом типу хардверске непоузданости. Предложен је модел математички описује корелисану природу отказа логичких кола, а верификован је на примерима логичких кола практично значајних за имплементацију декодера *LDPC* кодова. Додатно, предложени су и алгоритми за пробабилистичку анализу непоузданих комбинационих логичких кола.

Преглед особина и класа кодова са малом густином провера парности дат је у трећем поглављу дисертације. Посебно су представљени најзначајнији методи за конструкцију ових кодова, као и универзални алгоритам кодовања. Затим су описани најпопуларнији алгоритми декодовања, који су упоређени према перформансама и нивоима комплексности. Као теоријски значајна класа *LDPC* кодова, експандер кодови су издвојени и посебно представљени. Дате су и основе популарне асимптотске *density evolution* аналитичке технике, која је примену нашла како за анализу перформанси појединих декодера, тако и за конструкцију практично значајних кодова.

Поглавље четири посвећено је анализи једноставних *bit-flipping* декодера, са посебном пажњом на једнокорачне декодере базиране на већинском одлучивању, чије перформансе се могу проценити аналитички. Посебно је истражена способност *bit-flipping* декодера

састављених од непоузданих компоненти да гарантовано исправљају грешке, па је пружен математички доказ о постојању кодова чија се корективна способност повећава линеарно са дужином кода. Додатно, број грешака које се могу исправити нумерички је процењен за кодове различитих конструкционих параметара.

Перформансе *Gallager B* декодера направљеног од непоузданих логичких кола испитане су у петом поглављу. Формиран је оквир за истраживање итеративних декодера при корелисаним хардверским отказима, а затим су детаљно испитане перформансе неколико класа кодова са малом густином провера парности. Описани су услови који омогућавају да се вероватноћа грешке, услед хардверских отказа, смањи у поређењу са декодером чије су операције савршено поуздане. Нумерички су одређене перформансе квази-цикличних као и кодова конструисаних на бази латинских квадрата.

Декодери ниске комплексности, делимично конструисани од непоузданих компоненти, даље су истражени у шестом поглављу дисертације. Дobre перформансе *Gallager B* декодера конструисаног од непоузданих компоненти искоришћене су при дизајнирању композитних декодера, у којима се одлуке доносе на основу новог графовског описа кодова. Извршена је компаративна анализа предложеног алгоритма декодовања и других алгоритама сличне или веће комплексности. Способност предложеног решења да гарантовано исправља грешке је такође анализирана.

Примена кодова са малом густином провера парности у меморијама описана је у седмом поглављу. Предложена је меморијска архитектура ниске комплексности, базирана на експандер кодовима, која толерише значајан број отказа меморијских компоненти. Перформансе ове меморије значајно превазилазе решења на бази Хемингових кодова, популарна у практичним реализацијама. Додатно, одређена је комплексност предложене меморијске архитектуре, као и услови када меморија ради поуздано у асимптотском случају. Посебно су дискутовани правци потенцијалне примене меморија на бази кодова са малом густином провера парности у практично значајним системима за складиштење информација, као што су тродимензионалне полихедралне операционе меморије, или *flash* меморије.

У осмом поглављу дисертације изложени су најзначајнији закључци, као и потенцијални правци даљих истраживања, који пре свега укључују потенцијална унапређења алгоритама декодовања у присуству грешака у логичким колима, на основу аналитичких техника развијених у овој дисертацији.

3. ОЦЕНА ДИСЕРТАЦИЈЕ

3.1. Савременост и оригиналност

Докторска дисертација припада области теорије информација, односно теорије заштитних кодова у телекомуникацијама. У ужем смислу, предмет истраживања предложене теме ове докторске дисертације је анализа алгоритама декодовања кодова са малом густином провера парности када се декодер реализује од инхерентно непоузданих компоненти. Познато је да све већи ниво интеграције полупроводничких структура, присутан у новим VLSI системима негативно утиче на поузданост логичких кола. Она постају осетљивија на шум, температурне варијације, а њихова непоузданост може да буде и последица захтевнијег процеса производње. Све израженији захтеви за енергетски ефикасним уређајима, такође доводе до смањења поузданости логичких кола. Имајући у виду значај проблема поузданости како комерцијално доступних полупроводничких технологија, тако и технологија које се тренутно развијају, интеграција знања које пружа теорија заштитних кодова је важан сегмент развоја ове области. Предложена тема докторске дисертације припада актуелној и значајној области теорије информација, о чему говори већи број радова публикованих у најзначајнијим часописима у протеклих неколико година.

У дисертацији су, због релативно мале комплексности реализације и значаја за практичне телекомуникационе системе, разматрани пре свега итеративни алгоритми који декодовање врше на бази тврдих одлука. Неки од најзначајнијих су *bit-flipping* или *Gallager B* декодери. Посебан акценат у дисертацији стављен је на развој реалнијих модела грешака у логичким колима, од оних који се доминантно користе у постојећој литератури, па је један од истраживачких изазова било пре свега испитивање декодера при реалнијим условима хардверске имплементације. Део истраживања посвећен је и унапређивању постојећих декодера ради постизања њихове веће отпорности на хардверске грешке.

Поред анализе поузданог преноса информација, један од циљева дисертације је и обезбеђивање поузданог складиштења информација у *VLSI* чиповима. Разматране су меморијске архитектуре у којима се информациони садржај меморише у кодованом облику – што има за циљ да сачува информације од грешака које могу настати корумпираним садржаја меморијских ћелија, као и отказа логичких кола декодера. Показано је како кодови конструисани над графовима представљају решење које превазилази значајан број до сада коришћених система заштите података.

3.2. Осврт на референтну и коришћену литературу

Током израде дисертације кандидат је детаљно истражио постојећу релевантну литературу и коректно навео радове који су у вези са темом дисертације. Наведено је укупно 157 библиографских референци. Литература садржи најновије радове релевантне за проблематику истражену у дисертацији, при чему је Срђан Бркић аутор или коаутор 9 радова.

3.3. Опис и адекватност примењених научних метода

Методологија истраживања у оквиру докторске дисертације састојала се у следећем:

- Детаљно је анализирана постојећа литература у области анализе и конструкције поузданих електронских система од непоузданих компоненти. Посебна пажња посвећена је скорашњој литератури која се бави применом *LDPC* кодова у циљу повећања поузданости система за пренос и складиштење информација. Прегледом доступне литературе идентификовани су отворени проблеми који постоје у овој области и тичу се пре свега моделовања отказа логичких кола, анализе корективне способности декодера састављених од непоузданих компоненти, као и дизајнирања нових декодера ниске комплексности отпорних на хардверске отказе.
- Формиран је модел отказа логичких кола који боље описује природу отказа насталих услед смањења напона напајања уређаја од до сада коришћених модела у литератури. Предложени модел верно осликава временску корелисаност отказа, као и њихову зависност од улазних вредности у логичко коло.
- Развијен је аналитички оквир за испитивање перформанси једнокорачних декодера на бази већинског одлучивања, као и итеративних декодера направљених од непоузданих компоненти. Предложени математички апарат темељи се на комбинаторном опису процеса декодовања.
- Развијен је Монте Карло симулациони модел којим су верификовани резултати добијени аналитички, где је то било могуће, односно испитане перформансе различитих итеративних декодера, када је симулациона анализа једини примесљив алат. Симулациона анализа извршена је софтверски, програмом развијеним у програмском језику *C*.
- Креиран је математички апарат за испитивање корективних способности како постојећих декодера, тако и декодера развијених у дисертацији. Апарат се

темељи на теорији графова, али је обogaћен са неколико нових дефиниција и теорема које описују асимптотско понашање алгоритама декодовања.

Примењена методологија у потпуности одговара стандардима научно-истраживачког рада и у сагласности је са циљевима дефинисаним на почетку израде дисертације.

3.4. Применљивост остварених резултата

Дисертација садржи више оригиналних доприноса значајних како за теоријски аспект области поузданог комуницирања, тако и за практичне имплементације енергетски ефикасних система преноса и складиштења информација. Проблеми решавани у дисертацији су актуелни имајући у виду све израженију непоузданост полупроводничких структура. Значај обезбеђивања поузданости апострофиран је као један од пет најзначајнијих истраживачких изазова у индустрији *VLSI* система.

Дисертација пружа увид у понашање практично значајних декодера ниске комплексности у присуству корелисаних отказа компонентних логичких кола и даје смернице важне за њихову будућу комерцијалну употребу. Спроведена анализа корективне способности декодера направљених од непоузданих компонената поред теоријског значаја сведочи и о супериорности кодова са малом густином провера парности у односу на друге типове заштитног кодовања и може се искористити у процесу дизајнирања система преноса/складиштења информација као критеријум поређења различитих кодова.

Додатно, добре особине декодера, дизајнираних у дисертацији, у односу на решења сличне комплексности позната у литератури илуструју значај презенованог рада. У дисертацији је препознато да корелисани хардверски откази могу поспешити процес декодовања, што представља базу за даља истраживања и пројектовање нових пробабилистичких декодера потенцијално добрих корективних способности.

3.5. Оцена достигнутих способности кандидата за самостални научни рад

Кандидат је приликом израде дисертације показао систематичност, способност за препознавање отворених питања у научној литератури и зрелост при анализи и решавању проблема. Посебно треба истаћи да је област анализе и дизајна декодера у присуству грешака у логичким колима веома актуелна, како са теоријског тако и са становишта практичне примене. Кандидат је у дисертацији пружио решења отворених проблема који су постојали у литератури и унапредио нека постојећа решења. Такође, анализирао је и проблеме на које до сада није постојао осврт у доступној литератури. Доприноси дисертације у овој области су оригинални, савремени и потврђују способност кандидата за самосталан истраживачки рад. У прилог томе иде и чињеница да су радови који су проистекли из дисертације цитирани више пута у литератури од стране других аутора у престижним међународним часописима и на водећим међународним конференцијама.

4. ОСТВАРЕНИ НАУЧНИ ДОПРИНОС

4.1. Приказ остварених научних доприноса

Научни допринос докторске дисертације огледа се у развоју аналитичког и симулационог модела за анализу декодера кодова са малом густином провера парности у присуству корелисаних грешака у логичким колима, као и дизајна нових декодера и меморијских уређаја имуних на отказе логичких кола. Конкретно научни доприноси остварени у дисертацији су следећи:

- Изведени су оригинални аналитички изрази за вероватноћу грешке по биту за једнокорачне декодере на бази већинског одлучивања у присуству корелисаних отказа логичких кола, који омогућавају естимацију перформанси декодера ефикасније од рачунарски захтевне Монте Карло симулације.
- Одређени су теоријски услови потребни да итеративни *bit-flipping* декодер исправи фиксну фракцију најгорих грешака у каналу, под условом да су операције у декодеру подложне хардверским грешкама. Процењена је експанзија бипартитног Танеровог графа која гарантује да се број грешака које декодер може исправити повећава линеарно са дужином кода. Додатно, нумерички су процењене доња и горња граница корективне способности *bit-flipping* декодера. Перформансе декодера илустроване су за неколико практично значајних класа кодова.
- Предложен је оквир за истраживање *Gallager B* декодера чије операције су подложне корелисаним хардверским отказима. Изведен је математички услов који гарантује независност перформанси декодера од редоследа кодних речи које се преносе. Затим је предложена модификација оригиналног алгоритма декодовања која омогућава занемарљиво мали утицај хардверских отказа на перформансе декодера за широк опсег нивоа непоузданости компонената декодера. Додатно, примећен је и анализиран позитиван ефекат који хардверска непоузданост има на корективне способности декодера. Идентификована је класа квази-цикличних кодова чије се перформансе могу унапредити дозвољавајући непоуздане операције декодовања, да се при том брзина декодера, изражена преко броја итерација декодовања, не повећава.
- Дизајнирана је нова класа композитних декодера *LDPC* кодова, мотивисана имуношћу *Gallager B* декодера на хардверске отказе. Нови декодери комбинују добре особине *Gallager B* декодера (ниску комплексност и умерено добре корективне способности) са иновативним приступом размене порука преко Танеровог графа, тако да се перформансе унапреде и за неколико редова величине, а комплексност остане упоредива са комплексношћу *Gallager B* декодера. Монте Карло симулационим поступком је утврђено да перформансе предложеног декодера превазилазе перформансе познатих декодера сличне или веће комплексности. Математички су изведени услови потребни да предложени декодери имају способност исправљања троструких грешака, које није могуће исправити оригиналним *Gallager B* декодером.
- Предложена је меморијска архитектура ниске комплексности која укључује кодове са малом густином провера парности, као и *bit-flipping* декодер. Показано је да предложена архитектура може да толерише фракцију отказа компонентних логичких кола и у асимптотском случају складишти све информације произвољно дуг временски период. Додатно, нумерички су одређене и граничне вредности броја отказа који неће умањити способност меморије да поуздано складишти информације.

4.2. Критичка анализа резултата истраживања

Увидом у циљеве истраживања, полазне претпоставке и остварене резултате констатујемо да је кандидат успешно одговорио на сва значајна питања из проблематике која је анализирана у дисертацији. Развијени аналитички модели за испитивање перформанси декодера кодова са малом густином провера парности и меморија у присуству корелисаних отказа логичких кола, као и дизајнирани алгоритми декодовања, представљају значајан научни допринос у области поузданог преноса и складиштења информација. Анализом

результата приказаних у дисертацији констатујемо да су приказани оригинални и савремени резултати.

4.3. Верификација научних доприноса

У току истраживачког рада у области теме докторске дисертације Срђан Бркић је као аутор или коаутор објавио два рада у међународним часописима са SCI листе и то оба у часописима категорије M22 у којима је првопотписани аутор. Поред тога, резултате приказане у дисертацији кандидат је објавио у два рада у домаћим часописима, осам радова кандидата је презентовано на конференцијама међународног значаја, а два на конференцијама националног значаја.

Часописи међународног значаја (M20):

- [1] S. Brkic, P. Ivanis, and B. Vasic, "Reliability of Memories Built from Unreliable Components under Data-Dependent Gate Failures," *IEEE Communications Letters*, Vol. 19, Iss. 12, pp. 2098–2101, December 2015 (DOI: 10.1109/LCOMM.2015.2496266, ISSN: 1089-7798, IF=1.268) (M22)
- [2] S. Brkic, O.-Al Rasheed, P. Ivanis, and B. Vasic, "On Fault-Tolerance of the Gallager B Decoder under Data-Dependent Gate Failures," *IEEE Communications Letters*, Vol. 19, Iss. 8, pp. 1299–1302, Avgust 2015 (DOI: 10.1109/LCOMM.2015.2442981, ISSN: 1089-7798, IF=1.268) (M22)

Часописи националног значаја (M50):

- [1] Omran Al Rasheed, Srđan Brkic, Predrag Ivanis, Bane Vasic, "Performance Analysis of Faulty Gallager-B Decoding of QC-LDPC Codes with Applications", *Telfor Journal*, Vol 6, No 1, pp. 7-11, November 2014. ISSN 1821-3251. (M52)
- [2] Srđan Brkic, Predrag Ivanis, Goran Đorđević, Bane Vasic, "Symbolic Analysis of Faulty Logic Circuits under Correlated Data-Dependent Gate Failures", *Telfor Journal*, Vol 6, No 1, pp. 2-6, November 2014. ISSN 1821-3251. (M52)

Међународне конференције (M30):

- [1] S. Brkic, P. Ivanis, and B. Vasic, "Guaranteed Error Correction of Faulty Bit-Flipping Decoders under Data-Dependent Gate Failures," in *Proceedings of IEEE International Symposium on Information Theory (ISIT 2016)*, Barcelona, Spain, July 10-15 (M33)
- [2] S. Brkic, B. Vasic, P. Ivaniš, David Declercq, "Message-Aggregation-Enhanced Iterative Hard-Decision Decoders", *Information Theory and Applications Workshop (ITA 2016)*, San Diego, USA, January 31 – February 5 2016. (M33)
- [3] B. Vasic, P. Ivanis, S. Brkic, "Low complexity memory architectures based on LDPC codes: benefits and disadvantages," In Proc. of 12th International Conference on Advanced Technologies Systems and Services in Telecommunications (TELSIKS 2015), Nis, Serbia, Oct. 2015. (M31)
- [4] Bane Vasić, Predrag Ivaniš, Srđan Brkić, Vida Ravanmehr "Fault-Resilient Decoders and Memories made of Unreliable Components", *Information Theory and Applications Workshop (ITA 2015)*, San Diego, USA, February 1-6 2015. (M31)
- [5] Srđan Brkic, Predrag Ivanis, Bane Vasic, "Analysis of one-step majority logic decoding under correlated data-dependent gate failures," in *Proc. IEEE International Symposium on Information Theory (ISIT 2014)*, pp. 1-5, Honolulu, USA, June 29-July 4 2014. (M33)

[6] Srdjan Brkic, Predrag Ivanis, Goran Djordjevic, Bane Vasic, "Symbolic analysis of faulty logic circuits in the presence of correlated gate failures", in *Proc IEEE TELFOR 2013*, Belgrade, Serbia, November 26th-28th, 2013, pp. 369-372. ISBN: 978-1-4799-1419-7. (M33)

[7] Omran Al Rasheed, Srdjan S. Brkic, Predrag Ivanis, Bane Vasic, "Performance Analysis of Faulty Gallager-B Decoding of QC-LDPC Codes", in *Proc IEEE TELFOR 2013*, Belgrade, Serbia, November 26th-28th, 2013, pp. 323-326. ISBN: 978-1-4799-1419-7. (M33)

[8] Srdjan S. Brkic, Predrag Ivanis, Goran Djordjevic, Bane Vasic, "Taylor-Kuznetsov fault-tolerant memories: a survey and results under correlated gate failures", in *Proc IEEE TELSIS 2013*, Nis, Serbia, October 16th-19th, 2013, pp. 455-462. ISBN: 978-1-4799-0900-1 (M31)

Националне конференције (M60):

[1] Predrag Ivaniš, Srđan Brkić, Goran Đorđević, Bane Vasić, "Savremene tehnike za projektovanje pouzdanih čipova napravljenih od nepouzdanih komponenata", *Zbornik XXXII Simpozijuma o novim tehnologijama u poštanskom i telekomunikacionom saobraćaju (POSTEL 2014)*, Beograd, 2-3. decembra 2013, str. 277-286. ISBN 978-86-7395-328-1. (M61).

[2] Srđan Brkić, Dajana Lazarević, Predrag Ivaniš, "FPGA implementacija sum-product algoritma za dekodovanje LDPC kodova", *INFOTEH JAHORINA 2013*, Vol 12, Ref. KST-3-2, Istočno Sarajevo, 20-22. Mart 2013, str. 428-433. ISBN 978-99955-763-1-8. (M63)

5. ЗАКЉУЧАК И ПРЕДЛОГ

Докторска дисертација дипл. инж. Срђана Бркића под насловом „*Декодовање кодова са малом густином провера парности у присуству грешака у логичким колима*“ у целини је написана у складу са образложењем наведеним у пријави теме и садржи све елементе који се захтевају Правилником о докторским студијама Електротехничког факултета Универзитета у Београду.

У дисертацији је анализирана примена кодова са малом густином провера парности за поуздан пренос и складиштење информација, када су операције декодовања подложне корелираним отказима логичких кола. Развијени су математички методи за анализу корективних способности различитих практично значајних декодера. Посебна пажња посвећена је дизајну нових декодера ниске комплексности који су не само имуни на утицај непоузданости хардверских компоненти, већ користе инхерентну непоузданост логичких кола у циљу побољшања перформанси декодовања. Предложена је и меморијска архитектура која укључује кодове са малом густином провера парности, а има изузетне способности поузданог складиштења информација, при том толеришући отказе како меморијских ћелија, тако и логичких кола за корекцију грешака.

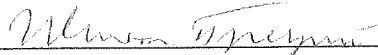
Резултате проистекле из истраживања спроведеног у оквиру докторске дисертације кандидат је објавио у два рада публикована у међународним часописима са SCI листе и презентовао стручној јавности на најзначајнијим међународним конференцијама из области теорије информација, као и у часописима и конференцијама националног значаја. Значај научног доприноса дисертације додатно је потврђен цитатима у врхунским међународним часописима и на конференцијама међународног значаја.


На основу увида у докторску дисертацију и објављене радове кандидата, Комисија констатује да дисертација „Декодовање кодова са малом густином провера парности у присуству грешака у логичким колима“ дипл. инж. Срђана Бркића садржи оригиналне научне доприносе.


На основу претходног, Комисија констатује да је Срђан Бркић, дипломирани инжењер електротехнике, испунио све услове предвиђене Законом о високом образовању, Статутом и Правилником о докторским студијама Електротехничког факултета Универзитета у Београду. Комисија са задовољством предлаже Наставно-научном већу Електротехничког факултета у Београду да се овај реферат прихвати, и у складу са законском процедуром упуту Већу научних области техничких наука Универзитета у Београду на коначно усвајање и давање одобрења кандидату да приступи усменој одбрани.


У Београду, 10.09.2016. године

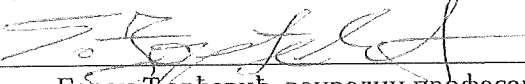
ЧЛАНОВИ КОМИСИЈЕ


др Предраг Иваниш, ванредни професор
Универзитет у Београду – Електротехнички факултет


др Александра Смиљанић, редовни професор
Универзитет у Београду – Електротехнички факултет


др Бане Васић, редовни професор
The University of Arizona – Department of ECE


др Лазар Сарановац, ванредни професор
Универзитет у Београду – Електротехнички факултет


др Горан Ђорђевић, ванредни професор
Универзитет у Нишу – Електронски факултет