



УНИВЕРЗИТЕТ У БЕОГРАДУ - ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ

Булевар краља Александра 73, 11000 Београд, Србија

Тел. 011/324-8464, Факс: 011/324-8681

КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 24.05.2016. године именовало нас је у Комисију за преглед и оцену мастер рада дипл. инж. Јелена Радуловић под насловом „Имплементација серијског интерфејса за комуникацију развојне плоче и рачунара“. Након прегледа материјала Комисија подноси следећи

ИЗВЕШТАЈ

1. Биографски подаци кандидата

Јелена Радуловић је рођена 20.11.1991. године у Лозници. Завршила је основну школу "Јован Цвијић" у Лозници. Уписала је гимназију "Вук Караџић" у Лозници коју је завршила као вуковац. Током школовања учествовала је на регионалним и државним такмичењима из биологије и математике. Електротехнички факултет уписала је 2010. године. Дипломирала је на одсеку за Телекомуникације и информационе технологије 2014. године са просечном оценом 7,52. Дипломски рад одбранила је у октобру 2014. године са оценом 10. Дипломске академске – мастер студије на Електротехничком факултету у Београду, на Модулу за системско инжењерство и радио комуникације уписала је у октобру 2014. године.

2. Опис мастер рада

Мастер рад обухвата 28 страна, са укупно 13 слика, 2 табеле и 5 референци. Рад садржи увод, 3 поглавља и закључак (укупно 5 поглавља), и списак коришћене литературе.

Прво поглавље представља увод у коме су описани предмет и циљ рада. Наведени су алати који ће се користити приликом израде тезе. На крају је дат преглед остатка рада по поглављима.

У другом поглављу је дат детаљан опис RS-232 стандарда за серијску комуникацију.

У трећем поглављу је описана реализација предајног и пријемног дела RS-232 примопредајника. За реализацију имплементације је коришћен ISE развојно окружење, а сама имплементација је написана у Verilog програмском језику.

У четвртном поглављу је дата анализа заузећа ресурса FPGA чипа и извршена је верификација исправности рада реализованог решења.

У оквиру петог поглавља резимирани су резултати тезе и изведени одговарајући закључци.

3. Анализа рада са кључним резултатима

Мастер рад дипл. инж. Јелена Радуловић се бави имплементацијом серијског интерфејса заснованог на RS-232 стандарду. Циљ реализоване имплементације је да се користи у комуникацији рачунара и развојне плоче која садржи FPGA чип у циљу контроле рада модула на FPGA чипу, као и прикупљању статусних информација.

Основни доприноси рада су: 1) реализација серијског интерфејса заснованог на RS-232 стандарду; 2) могућност лаке интеграције са другим модулима који би се налазили на FPGA чипу.

4. Закључак и предлог


Кандидат Јелена Радуловић је у свом мастер раду успешно реализовала и верификовала серијски интерфејс заснован на RS-232 стандарду. Реализовани модул ће омогућити повезивање FPGA чипа и рачунара у циљу контроле и надгледања рада других модула на FPGA чипу.

Кандидат је показао познавање Verilog програмског језика и довољну вештину да уради имплементацију која представља основни допринос ове тезе.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Јелена Радуловић прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 16.09.2016. године

Чланови комисије:


Др Зоран Чича, доцент


Др Дејан Драјић, доцент