



## УНИВЕРЗИТЕТ У БЕОГРАДУ - ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ

Булевар краља Александра 73, 11000 Београд, Србија

Тел. 011/324-8464, Факс: 011/324-8681

### КОМИСИЈИ ЗА СТУДИЈЕ II СТЕПЕНА ЕЛЕКТРОТЕХНИЧКОГ ФАКУЛТЕТА У БЕОГРАДУ

Комисија за студије II степена, Електротехничког факултета у Београду, на својој седници одржаној 26.05.2015. године именовало нас је у Комисију за преглед и оцену мастер рада дипл. инж. Марка Вуковића под насловом „Хардверска имплементација Бенешовог пакетског комутатора“. Након прегледа материјала Комисија подноси следећи

#### ИЗВЕШТАЈ

##### 1. Биографски подаци кандидата

Марко Д. Вуковић је рођен 08.10.1987. у Београду. Завршио је основну и средњу школу у Београду. Електротехнички факултет у Београду уписао је 2006. године, Одсек за Телекомуникације и информационе технологије. Дипломирао је у октобру 2014. године са просечном оценом 7.54, на дипломском 10. Мастер студије на Електротехничком факултету у Београду је уписао октобра 2014. на модулу Системско инжењерство и радио комуникације.

##### 2. Опис мастер рада

Мастер рад обухвата 48 страна, са укупно 14 слика, 1 табелом и 5 референци. У прилогу је дат комплетан програмски код имплементације. Рад садржи увод, 3 поглавља, закључак (укупно пет поглавља) и литературу. Предмет рада је хардверска имплементација Бенешовог пакетског комутатора. Данас је доминантна технологија пакетске комутације у телекомуникационим мрежама, и пакетски комутатори представљају веома битне елементе пакетских мрежа. Од огромног значаја је квалитетан рад пакетских комутатора, јер њихове перформансе имају велики утицај на перформансе читаве мреже. Бенешови комутатори представљају варијанту Клосових комутатора који су прилагођенији за хардверску имплементацију јер су сви градивни комутатори истих димензија, што генерално није случај код Клосових комутатора. У раду је реализована имплементација Бенешових пакетских комутатора, при чему је коришћено ISE развојно окружење компаније Xilinx, а имплементација је реализована употребом VHDL програмског језика.

У уводном поглављу је изложен циљ и предмет мастер тезе, а потом је дат преглед остатка тезе по поглављима.

У другом поглављу су наведене основе комутације пакета и њене предности у односу на комутацију кола. Потом су представљени Клосови комутатори и њихова основна својства. Затим је описан Бенешов комутатор који представља унапређење Клосовог комутатора са становишта погодности за хардверску имплементацију и описано је како се рекурзивно креирају Бенешови комутатори већих димензија од Бенешових комутатора мањих димензија.

Треће поглавље је централно поглавље рада у коме је описана хардверска реализација Бенешових пакетских комутатора. Прво је описан градивни комутациони елемент димензије 2x2. Комплетан Бенешов комутатор се у суштини састоји само од ових комутатора, што је предност за хардверску имплементацију. Дефинисани су улази и излази градивног елемента, и објашњено је како се конфигурише градивни елемент. Потом је објашњено креирање већих димензија комутатора коришћењем принципа рекурзије. При томе, у раду су конкретни реализовани комутатори до димензије 32x32, али лако је описаним принципом рекурзије креирати и веће димензије ако је то потребно.

Четврто поглавље садржи анализу перформанси реализоване имплементације, као и приказ верификације исправног рада реализације Бенешовог комутатора. Прво је дата табела са искоришћеним ресурсима FPGA чипа за неколико различитих димензија комутатора (са становишта и броја портова и ширине магистрале података). Потом је приказан симулација која показује исправан рад реализованог комутатора. При томе се види да комутатор уноси кашњење у броју тактова који је једнак броју каскада. Међутим, пошто се између сваке каскаде налазе регистри, у истом моменту је могуће прослеђивати више пакета (или делова пакета) тј. може се користити пајплајн техника, што омогућава високу радну фреквенцију дизајна.

На крају тезе је изложен закључак који сумира резултате рада. Потом је дата литература, са 5 референци, која је коришћена приликом израде мастер рада, као и прилог са комплетним програмским кодом реализоване имплементације.

### **3. Анализа рада са кључним резултатима**

Мастер рад Марка Вуковића, дипл. инж. Електротехнике и рачунарства, бави се хардверском реализацијом Бенешовог пакетског комутатора. Основни доприноси рада су: 1) реализован је Бенешов комутатор; 2) реализовано решење омогућава рад на високим радним фреквенцијама; 3) решење је портабилно и може се користити и на чиповима других произвођача (имплементација из ове тезе је реализована на FPGA чипу компаније Xilinx).

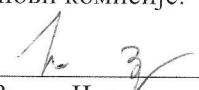
### **4. Закључак и предлог**

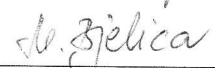
Кандидат Марко Вуковић је у свом мастер раду успешно реализовао Бенешов пакетски комутатор. Марко је показао разумевање рада комутатора, и успешно је реализовао Бенешов комутатор са веома добрим перформансама. Марко је самосталан у раду и добро познаје VHDL програмски језик.

На основу изложеног, Комисија предлаже Комисији за студије II степена Електротехничког факултета у Београду да рад дипл. инж. Марка Вуковића прихвати као мастер рад и кандидату одобри јавну усмену одбрану.

Београд, 31.08.2017. године

Чланови комисије:

  
Др Зоран Чича, доцент

  
Др Милан Бјелица, ванр. проф.